Table of Contents

1. Laboratorium AITUC 2
1.1. Uwagi praktyczne przed rozpoczęciem zajęć 2
1.2. Lab 1: Układy kombinacyjne małej i średniej skali integracji 2
1.3. Lab 2: Asynchroniczne układy sekwencyjne 3
1.4. Lab 3: Synchroniczne i mikroprogramowane układy sekwencyjne 3

1. Laboratorium AITUC

Materiały dla studentów kierunku N1Z Informatyka studia inżynierskie zaoczne. Przedmiot Arytmetyka i Teoria Układów Cyfrowych - laboratorium.

1.1. Uwagi praktyczne przed rozpoczęciem zajęć

W laboratorium stosowane są komponenty wykonane w technologii TTL. W praktyce oznacza to, że logiczne zero jest reprezentowane za pomocą napięcia bliskiego 0V, logiczna jedynka napięciem w okolicy +5V.



Wejście, które jest niepodłączone jest traktowane przez układ tak, jakby była tam logiczna jedynka.

Szafy labortoryjne składają się z modułów, które realizują poszczególne operacje, przedstawione na panelu przednim. Realizując układ w logice szytej, łączymy wyjścia jednych modułów do wejść innych, zgodnie z opracowanym wcześniej schematem układu, przystosowanym do asortymentu elementów dostępnych w laboratorium.



W żadnym przypadku nie wolno łączyć dwóch lub więcej wyjść ze sobą.

Ponadto jedno wyjście układu może zostać podłączone do max około 5 wejść. Często np. postać minimalna funkcji musi zostać przekształcona tak, aby można było tę funkcję zrealizować za pomocą dostępnych operatorów. W szczególności przydatne będą tutaj następujące postulaty i twierdzenia algebry Boole'a: postulat o elementach neutralnych względem operacji dodawania i mnożenia logicznego, prawa łączności, rozdzielności i przemienności oraz prawa De Morgana.



Przykładowo, aby utworzyć bramkę NOT, można np. użyć dwuwejściowej bramki NAND, pozostawiając jedno wejście niepodłączone (czyli = 1): // Y=~(x*1)=~x//, gdzie operator negacji jest reprezentowany za pomocą znaku ~.

Wejścia układu są pobierane z przełączników.

1.2. Lab 1: Układy kombinacyjne małej i średniej skali integracji

Zespoły rozwiązują zadania wskazane przez prowadzącego. Po implementacji każdego zadania należy je sprawdzić, a następnie zaprezentować działające rozwiązanie prowadzącemu.

Zad.1. Implementacja funkcji logicznej danej w postaci dziesiętnej, kanonicznej: za pomocą: 1.1. Wyłącznie dwuwejściowych bramek NAND 1.2. Wyłącznie dwuwejściowych bramek NOR 1.3. Wyłącznie dwu-, cztero- i ośmiowejściowych bramek NAND 1.4. Wyłącznie dwu-, cztero- i ośmiowejściowych bramek NOR

1.3. Lab 2: Asynchroniczne układy sekwencyjne

1.4. Lab 3: Synchroniczne i mikroprogramowane układy sekwencyjne

From:
https://dokuwiki.zmitac.aei.polsl.pl/ - **RAU6 Dokuwiki**

Permanent link:
https://dokuwiki.zmitac.aei.polsl.pl/pl:edu:zmitac:n1z:aituc:lab?rev=1511474007

Last update: **2017/11/23 22:53**